

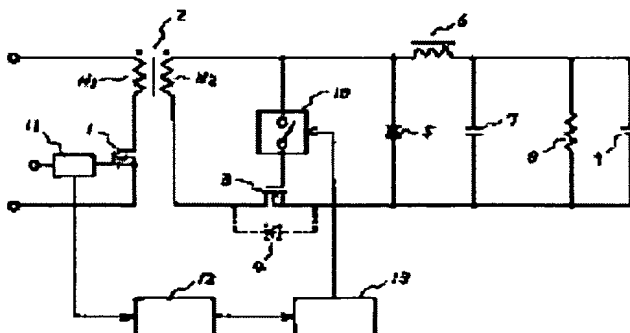
RECTIFIER CIRCUIT EMPLOYING SEMICONDUCTOR ELEMENT WITH CONTROL ELECTRODE

Patent number: JP8066023
Publication date: 1996-03-08
Inventor: SHIMADA HIDEKAZU; KII YASUO; SUZUKI YOSHIO;
MURAKAMI NAOKI
Applicant: ORIGIN ELECTRIC; NIPPON TELEGRAPH &
TELEPHONE
Classification:
- **International:** *H02J7/34; H02M3/28; H02M7/217; H03K17/725;*
H02J7/34; H02M3/24; H02M7/217; H03K17/72; (IPC1-
7): H02M3/28; H02J7/34; H02M7/217; H03K17/725
- **European:**
Application number: JP19920179307 19920612
Priority number(s): JP19920179307 19920612

[Report a data error here](#)

Abstract of JP8066023

PURPOSE: To protect a semiconductor element with control electrode and a first switching element against breakdown by turning the semiconductor element with control electrode on/off using a voltage, induced in a transformer through a second switching element, as a control signal. **CONSTITUTION:** When the average value of pulse width detection voltages reaches a control reference value, a control circuit 12 provides a drive circuit 13 with a signal for turning OFF a second switching element 10 which is thereby turned OFF. Consequently, delivery of a signal to the control electrode of a semiconductor element 3 is interrupted. Since the control electrode of a semiconductor element 3 is not biased forward by an externally connected power supply 9 even if a choke coil is cut off, the semiconductor element 3 is protected against breakdown due to erroneous function and thereby a first switching element 1 is protected against breakdown due to saturation of the transformer 2.



Data supplied from the [esp@cenet](#) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-66023

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/28	F			
H 0 2 J 7/34	Z			
H 0 2 M 7/217		9472-5H		
H 0 3 K 17/725	E	9561-5K		

審査請求 未請求 請求項の数 5 F D (全 8 頁)

(21) 出願番号 特願平4-179307

(22) 出願日 平成4年(1992)6月12日

(71) 出願人 000103976

オリジン電気株式会社

東京都豊島区高田1丁目18番1号

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 島田 英一

東京都豊島区高田1丁目18番1号 オリジ
ン電気株式会社内

(72) 発明者 木井 康夫

東京都豊島区高田1丁目18番1号 オリジ
ン電気株式会社内

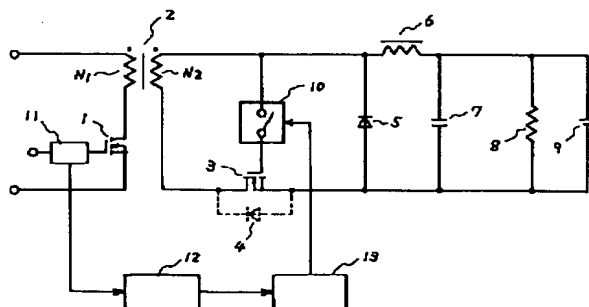
最終頁に続く

(54) 【発明の名称】 制御極付半導体素子を用いた整流回路

(57) 【要約】

【目的】 外部接続電源により軽負荷時に制御極付半導体素子が誤動作するのを防止する。

【構成】 第1のスイッチング素子をオンオフさせ、トランスを介して交流電圧を取り出し、該交流電圧を整流素子で整流し、チョークコイルとコンデンサとで平滑する回路において、上記整流素子として制御極付半導体素子を用い、該制御極付半導体素子の制御信号として第2のスイッチング素子を介して上記トランスに生ずる電圧を用いると共に、上記第2のスイッチング素子を制御することにより上記制御極付半導体素子をオンまたはオフさせる。



【特許請求の範囲】

【請求項 1】 第 1 のスイッチング素子をオンオフさせ、トランスを介して交流電圧を取り出し、該交流電圧を整流素子で整流し、チョークコイルとコンデンサとで平滑する回路において、

上記整流素子として制御極付半導体素子を用い、該制御極付半導体素子の制御信号として第 2 のスイッチング素子を介して上記トランスに生ずる電圧を用いると共に、上記第 2 のスイッチング素子を制御することにより上記制御極付半導体素子をオンまたはオフさせることを特徴とする制御極付半導体素子を用いた整流回路。

【請求項 2】 上記第 1 のスイッチング素子を駆動する駆動信号により上記第 2 のスイッチング素子を制御することを特徴とする請求項 1 記載の制御極付半導体素子を用いた整流回路。

【請求項 3】 出力電流を検出して得られた信号により上記第 2 のスイッチング素子を制御することを特徴とする請求項 1 記載の制御極付半導体素子を用いた整流回路。

【請求項 4】 上記チョークコイルの 2 次巻線の電圧を検出して得られた信号により上記第 2 のスイッチング素子を制御することを特徴とする請求項 1 記載の制御極付半導体素子を用いた整流回路。

【請求項 5】 入力電流を検出して得られた信号により上記第 2 のスイッチング素子を制御することを特徴とする請求項 1 記載の制御極付半導体素子を用いた整流回路。

【発明の詳細な説明】

【産業上の利用分野】 本発明は、FET のような制御極付半導体素子をコンバータの整流回路に用いて、整流回路の高速、低損失化を図るようにした制御極付半導体素子を用いた整流回路に関する。

【従来の技術】 図 1 は従来の制御極付半導体素子を用いた整流回路を説明するための図である。同図において、1 は FET のような第 1 のスイッチング素子、2 は 1 次巻線 N_1 及び 2 次巻線 N_2 を有するトランス、3 は FET のような制御極付半導体素子、4 は該制御極付半導体素子の寄生ダイオード、5 はフライホイールダイオード、6 はチョークコイル、7 はコンデンサ、8 は負荷であり、この回路に、別途外部接続電源 9 が並列接続されている。次にこの回路の動作を説明する。第 1 のスイッチング素子 1 がオンすると、直流電源（図示せず）からトランス 2 の 1 次巻線 N_1 に電圧が印加される。従って 2 次巻線 N_2 に・印側がプラスになるように電圧が誘起する。制御極付半導体素子の寄生ダイオード 4、続いて制御極付半導体素子 3 がオンし、チョークコイル 6、コンデンサ 7、負荷 8 にエネルギーを供給する。次に、第 1 のスイッチング素子 1 がオフすると、トランス 2 の 2 次巻線 N_2 にフライバック電圧が発生する。この電圧によって制御極付半導体素子 3 及び制御極付半導体素子の

寄生ダイオード 4 がカットオフとなり、フライホイールダイオード 5 がオンし、チョークコイル 6 の電流を連続して流す。次に第 1 のスイッチング素子 1 がオンし、以下同様の動作を繰り返す。また、外部接続電源 9 から負荷 8 にエネルギーを供給する。

【発明が解決しようとする課題】 しかし、このような従来の制御極付半導体素子を用いた整流回路にあつては、制御極付半導体素子 3 の制御極とチョークコイル 6 とが接続されているので、整流回路の出力電圧に比較して並列接続された外部接続電源 9 の電圧が高いと、負荷 8 が軽くなるに従って、外部接続電源 9 の負荷分担が多くなり整流回路の負荷分担が少なくなつて、チョークコイル 6 がカットオフする。このため、外部接続電源 9 によって制御極付半導体素子 3 の制御極が順バイアス状態となつて、制御極付半導体素子 3 が誤動作し、オンする。この結果、外部接続電源 9 からトランス 2 の 2 次巻線 N_2 、制御極付半導体素子 3 を通して短絡電流 I_s が流通して制御極付半導体素子 3 が破壊すると共に、トランス 2 が飽和して第 1 のスイッチング素子 1 が破壊するという問題があつた。

【課題を解決するための手段】 本発明は以上の欠点を除去するために、第 1 のスイッチング素子をオンオフさせ、トランスを介して交流電圧を取り出し、該交流電圧を整流素子で整流し、チョークコイルとコンデンサとで平滑する回路において、上記整流素子として制御極付半導体素子を用い、該制御極付半導体素子の制御信号として第 2 のスイッチング素子を介して上記トランスに生ずる電圧を用いると共に、上記第 2 のスイッチング素子を制御することにより上記制御極付半導体素子をオンまたはオフさせることを特徴とする制御極付半導体素子を用いた整流回路を提供するものである。

【実施例】 図 1 は本発明の一実施例を説明するための図であり、図 2 はその動作を説明するための図である。先ず、図 1 により構成を説明すると、トランス 2 の 2 次巻線 N_2 とチョークコイル 6 の接続点と制御極付半導体素子 3 の制御極間には、トランジスタのような第 2 のスイッチング素子 10 が接続される。該第 2 のスイッチング素子 10 のオンオフを制御する信号は、第 1 のスイッチング素子 1 の制御極に挿入されている検出回路 11 から制御回路 12 及び駆動回路 13 を介して、第 2 のスイッチング素子 10 の制御極に伝達される。次に図 1 及び図 2 によりこの回路の動作を説明する。第 1 のスイッチング素子 1 がオンすると、直流電源（図示せず）からトランス 2 の 1 次巻線 N_1 に電圧が印加される。従って 2 次巻線 N_2 に・印側がプラスになるように電圧が誘起する。制御極付半導体素子の寄生ダイオード 4、続いて制御極付半導体素子 3 がオンし、チョークコイル 6、コンデンサ 7、負荷 8 にエネルギーを供給する。次に、第 1 のスイッチング素子 1 がオフすると、トランス 2 の 2 次巻線 N_2 にフライバック電圧が発生する。この電圧によつて

て制御極付半導体素子3及び制御極付半導体素子の寄生ダイオード4がカットオフとなり、フライホイールダイオード5がオンし、チョークコイル6の電流を連続して流す。次に第1のスイッチング素子1がオンし、以下同様の動作を繰り返す。また、外部接続電源9からも負荷8にエネルギーを供給する。このような動作状態の時に、負荷8を通流する電流が少なくなると、図2(a)に示すように第1のスイッチング素子1を駆動する駆動信号のパルス幅が狭くなる。図2(b)に示すように検出回路11が検出するパルス幅検出電圧の平均電圧値が制御基準値に達すると、制御回路12は図2(c)に示すような第2のスイッチング素子10をオフさせる信号を駆動回路13に伝達し、該駆動回路13は図2(d)に示すように第2のスイッチング素子10をオフさせる。第2のスイッチング素子10がオフすることにより、制御極付半導体素子3の制御極への信号が図2(e)に示すように遮断される。従って、チョークコイル6がカットオフしても、そのために外部接続電源9によって制御極付半導体素子3の制御極が順バイアス状態になることはなく、制御極付半導体素子3の誤動作による制御極付半導体素子3の破壊が防止されると共に、トランス2の飽和による第1のスイッチング素子1の破壊も防止される。また、負荷8を通流する電流が多くなると、図2

(a)に示すように第1のスイッチング素子を駆動する駆動信号のパルス幅が広くなる。図2(b)に示すように、検出回路11が検出するパルス幅検出電圧の平均電圧値が制御基準値に達すると、制御回路12は図2

(c)に示すような第2のスイッチング素子10をオンさせる信号を駆動回路13に伝達し、該駆動回路13は図2(d)に示すように第2のスイッチング素子10をオンさせる。第2のスイッチング素子10がオンすることにより、制御極付半導体素子3の制御極へ図2(e)に示すように信号が再び伝達され、通常の動作状態に復帰する。図3は本発明の他の一実施例を説明するための図であり、図4はその動作を説明するための図である。先ず、図3により構成を説明すると、トランス2の2次巻線N₂とチョークコイル6の接続点と制御極付半導体素子3の制御極間には、第2のスイッチング素子10が接続される。該第2のスイッチング素子10のオンオフを制御する信号は、出力電流の通流路に挿入されている検出回路11から制御回路12及び駆動回路13を介して、第2のスイッチング素子10の制御極に伝達される。次に図3及び図4によりこの回路の動作を説明する。第1のスイッチング素子1がオンし、トランス2の2次巻線N₂に・印側がプラスになるように電圧が誘起すると、制御極付半導体素子3の寄生ダイオード4、続いて制御極付半導体素子3がオンし、チョークコイル6、コンデンサ7、負荷8にエネルギーを供給する。次に、第1のスイッチング素子1がオフすると、トランス2の2次巻線N₂にフライバック電圧が発生し、この電圧によ

って制御極付半導体素子3及び制御極付半導体素子の寄生ダイオード4がカットオフとなり、フライホイールダイオード5がオンし、チョークコイル6の電流を連続して流す。次に第1のスイッチング素子1がオンし、以下同様の動作を繰り返す。また、外部接続電源9からも負荷8にエネルギーを供給する。このような動作状態の時に、負荷8を通流する電流が少なくなると、図4(a)に示すように第1のスイッチング素子1を駆動する駆動信号のパルス幅が狭くなる。図4(b)に示すように検出回路11が検出する出力電流検出値が制御基準値に達すると、制御回路12は図4(c)に示すような第2のスイッチング素子10をオフさせる信号を駆動回路13に伝達し、該駆動回路13は図4(d)に示すように第2のスイッチング素子10をオフさせる。第2のスイッチング素子10がオフすることにより、制御極付半導体素子3の制御極への信号が図4(e)に示すように遮断される。従って、チョークコイル6がカットオフしても、そのために外部接続電源9によって制御極付半導体素子3の制御極が順バイアス状態になることはなく、制御極付半導体素子3の誤動作による制御極付半導体素子3の破壊が防止されると共に、トランス2の飽和による第1のスイッチング素子1の破壊も防止される。また、負荷8を通流する電流が多くなると、図4(a)に示すように第1のスイッチング素子を駆動する駆動信号のパルス幅が広くなる。図4(b)に示すように、検出回路11が検出する出力電流検出値が制御基準値に達すると、制御回路12は図4(c)に示すような第2のスイッチング素子10をオンさせる信号を駆動回路13に伝達し、該駆動回路13は図4(d)に示すように第2のスイッチング素子10をオンさせる。第2のスイッチング素子10がオンすることにより、制御極付半導体素子3の制御極へ図4(e)に示すように信号が再び伝達され、通常の動作状態に復帰する。図5は本発明の他の一実施例を説明するための図であり、図6はその動作を説明するための図である。先ず、図5により構成を説明すると、トランス2の2次巻線N₂とチョークコイル6の接続点と制御極付半導体素子3の制御極間には、第2のスイッチング素子10が接続される。チョークコイル6の2次巻線の電圧を検出して得られる第2のスイッチング素子10のオンオフを制御する信号は、制御回路12及び駆動回路13を介して、第2のスイッチング素子10の制御極に伝達される。次に図5及び図6によりこの回路の動作を説明する。第1のスイッチング素子1がオンし、トランス2の2次巻線N₂に・印側がプラスになるように電圧が誘起すると、制御極付半導体素子3の寄生ダイオード4、続いて制御極付半導体素子3がオンし、チョークコイル6、コンデンサ7、負荷8にエネルギーを供給する。次に、第1のスイッチング素子1がオフすると、トランス2の2次巻線N₂にフライバック電圧が発生し、この電圧によって制御極付半導体素子3及び制御

極付半導体素子の寄生ダイオード4がカットオフとなり、フライホイールダイオード5がオンし、チョークコイル6の電流を連続して流す。次に第1のスイッチング素子1がオンし、以下同様の動作を繰り返す。また、外部接続電源9からも負荷8にエネルギーを供給する。このような動作状態の時に、図6(a)に示すように負荷8を通過する電流が少なくなると、図6(b)に示すようにチョークコイル6を通過する電流が少なくなり、図6(c)に示すように第1のスイッチング素子1を駆動する駆動信号のパルス幅が狭くなって、図6(d)に示すようにチョークコイル6の検出電圧のパルス幅も狭くなる。図6(d)に示す電圧を波形整形した図6(e)に示すような電圧の平均電圧値が図6(f)に示すように制御基準値に達すると、制御回路12は図6(g)に示すような第2のスイッチング素子10をオフさせる信号を駆動回路13に伝達し、該駆動回路13は図6(h)に示すように第2のスイッチング素子10をオフさせる。第2のスイッチング素子10がオフすることにより、制御極付半導体素子3の制御極への信号が図6(i)に示すように遮断される。従って、チョークコイル6がカットオフしても、そのために外部接続電源9によって制御極付半導体素子3の制御極が順バイアス状態になることはなく、制御極付半導体素子3の誤動作による制御極付半導体素子3の破壊が防止されると共に、トランス2の飽和による第1のスイッチング素子1の破壊も防止される。また、図6(a)に示すように負荷8を通過する電流が多くなると、図6(b)に示すようにチョークコイル6を通過する電流が多くなり、図6(c)に示すように第1のスイッチング素子1を駆動する駆動信号のパルス幅が広がって、図6(d)に示すようにチョークコイル6の検出電圧のパルス幅も広がる。図6(d)に示す電圧を波形整形した図6(e)に示すような電圧の平均電圧値が図6(f)に示すように制御基準値に達すると、制御回路12は図6(g)に示すような第2のスイッチング素子10をオンさせる信号を駆動回路13に伝達し、該駆動回路13は図6(h)に示すように第2のスイッチング素子10をオンさせる。第2のスイッチング素子10がオンすることにより、制御極付半導体素子3の制御極へ図6(i)に示すように信号が再び伝達され、通常の動作状態に復帰する。図7は本発明の他の一実施例を説明するための図であり、図8はその動作を説明するための図である。先ず、図7により構成を説明すると、トランス2の2次巻線 N_2 とチョークコイル6の接続点と制御極付半導体素子3の制御極間には、第2のスイッチング素子10が接続される。該第2のスイッチング素子10のオンオフを制御する信号は、入力電流の通路に挿入されている検出回路11から制御回路12及び駆動回路13を介して、第2のスイッチング素子10の制御極に伝達される。次に図7及び図8によりこの回路の動作を説明する。第1のスイッチ

ング素子1がオンし、トランス2の2次巻線 N_2 に・印側がプラスになるように電圧が誘起すると、制御極付半導体素子3の寄生ダイオード4、続いて制御極付半導体素子3がオンし、チョークコイル6、コンデンサ7、負荷8にエネルギーを供給する。次に、第1のスイッチング素子1がオフすると、トランス2の2次巻線 N_2 にフライバック電圧が発生し、この電圧によって制御極付半導体素子3及び制御極付半導体素子の寄生ダイオード4がカットオフとなり、フライホイールダイオード5がオンし、チョークコイル6の電流を連続して流す。次に第1のスイッチング素子1がオンし、以下同様の動作を繰り返す。また、外部接続電源9からも負荷8にエネルギーを供給する。第1のスイッチング素子1の制御極には図8(a)に示すようなパルスが印加されており、図8(b)に示す入力電流値が制御基準値以上の場合に、図8(c)に示すように入力電流パルスの立ち上がり時に入力電流よりも僅かにパルス幅の広いワンショットのパルスを発生し、図8(d)に示すように入力電流パルスの立ち下がり時に入力電流よりも僅かにパルス幅の広いワンショットのパルスを発生すると共に、図8(c)及び図8(d)に示すパルスのORをとって得られた図8(e)に示す制御信号を制御回路12が駆動回路13に伝達し、駆動回路13は第2のスイッチング素子10を駆動し、制御する。このような動作状態の時に、負荷8を通過する電流が少なくなると、図8(a)に示すように第1のスイッチング素子1を駆動する駆動信号のパルス幅が狭くなって、図8(b)に示すように検出回路11を通過する入力電流も少なくなる。図8(b)に示す入力電流値が制御基準値未満になると、図8(b)及び図8(b)に示すようにワンショットのパルスを発生しなくなり、制御回路12は図8(e)に示すような第2のスイッチング素子10をオフさせる信号を駆動回路13に伝達し、該駆動回路13は図8(f)に示すように第2のスイッチング素子10をオフさせる。第2のスイッチング素子10がオフすることにより、制御極付半導体素子3の制御極への信号が図8(g)に示すように遮断される。従って、チョークコイル6がカットオフしても、そのために外部接続電源9によって制御極付半導体素子3の制御極が順バイアス状態になることはなく、制御極付半導体素子3の誤動作による制御極付半導体素子3の破壊が防止されると共に、トランス2の飽和による第1のスイッチング素子1の破壊も防止される。また、負荷8を通過する電流が多くなると、図8(a)に示すように第1のスイッチング素子1を駆動する駆動信号のパルス幅が広がって、図8(b)に示すように検出回路11を通過する入力電流も多くなる。図8(b)に示す入力電流値が制御基準値以上になると、図8(b)及び図8(b)に示すようにワンショットのパルスを発生し始め、制御回路12は図8(e)に示すような第2のスイッチング素子10をオンさせる信号を駆動回路13

に伝達し、該駆動回路13は図8(f)に示すように第2のスイッチング素子10をオンさせる。第2のスイッチング素子10がオンすることにより、制御極付半導体素子3の制御極へ図8(g)に示すように信号が再び伝達され、通常の動作状態に復帰する。図9は本発明の他の一実施例を説明するための図であり、図10はその動作を説明するための図である。先ず、図9により構成を説明すると、トランス2の2次巻線N₂とチョークコイル6の接続点と制御極付半導体素子3の制御極間には、第2のスイッチング素子10が接続される。該第2のスイッチング素子10のオンオフを制御する信号は、第1のスイッチング素子1の制御極に挿入されている検出回路11から駆動回路13を介して第2のスイッチング素子10の制御極に伝達される。次に図9及び図10によりこの回路の動作を説明する。第1のスイッチング素子1がオンし、トランス2の2次巻線N₂に・印側がプラスになるように電圧が誘起すると、制御極付半導体素子3の寄生ダイオード4、続いて制御極付半導体素子3がオンし、チョークコイル6、コンデンサ7、負荷8にエネルギーを供給する。次に、第1のスイッチング素子1がオフすると、トランス2の2次巻線N₂にフライバック電圧が発生し、この電圧によって制御極付半導体素子3及び制御極付半導体素子3の寄生ダイオード4がカットオフとなり、フライホイールダイオード5がオンし、チョークコイル6の電流を連続して流す。次に第1のスイッチング素子1がオンし、以下同様の動作を繰り返す。また、外部接続電源9からも負荷8にエネルギーを供給する。このような動作状態の時に、負荷8を通流する電流が少なくなると、図10(a)に示すように第1のスイッチング素子1を駆動する駆動信号のパルス幅が狭くなる。検出回路11は図10(a)に示すパルス幅の狭くなった駆動信号を検出して駆動回路13に伝達し、駆動回路13はこの信号に従って第2のスイッチング素子10を駆動する。このように、負荷8を通流する電流が少なくなっても、第2のスイッチング素子10はオンオフを繰り返しているため、制御極付半導体素子3の制御極への信号は図10(c)に示すようになり、制御極付半導体素子3はオンオフを繰り返す。従って、チョークコイル6がカットオフしても、そのために外部接続電源9によって制御極付半導体素子3の制御極が順バイアス状態になることはなく、制御極付半導体素子3の誤動作による制御極付半導体素子3の破壊が防止されると共に、

トランス2の飽和による第1のスイッチング素子1の破壊も防止される。また、負荷8を通流する電流が多くなると、図10(a)に示すように第1のスイッチング素子1を駆動する駆動信号のパルス幅が広がる。検出回路11は図10(a)に示すパルス幅の広がった駆動信号を検出して駆動回路13に伝達し、駆動回路13はこの信号に従って第2のスイッチング素子10を駆動する。このようにして、第2のスイッチング素子10はオンオフを繰り返すので、制御極付半導体素子3の制御極への信号は図10(c)に示すようになり、制御極付半導体素子3はオンオフを繰り返す。

【発明の効果】以上述べたように、本発明によれば、並列接続運転を行っても、軽負荷時に外部接続電源によって制御極付半導体素子の制御極が順バイアス状態になることはなく、制御極付半導体素子の誤動作による制御極付半導体素子の破壊が防止されると共に、トランスの飽和による第1のスイッチング素子の破壊も防止される。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための図である。

【図2】本発明の一実施例を説明するための図である。

【図3】本発明の一実施例を説明するための図である。

【図4】本発明の一実施例を説明するための図である。

【図5】本発明の一実施例を説明するための図である。

【図6】本発明の一実施例を説明するための図である。

【図7】本発明の一実施例を説明するための図である。

【図8】本発明の一実施例を説明するための図である。

【図9】本発明の一実施例を説明するための図である。

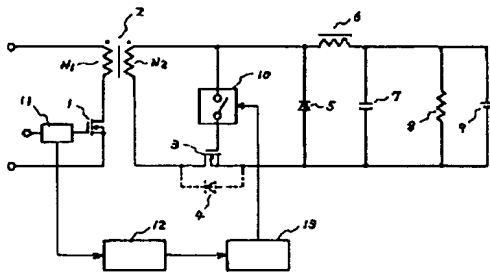
【図10】本発明の一実施例を説明するための図である。

【図11】従来例を説明するための図である。

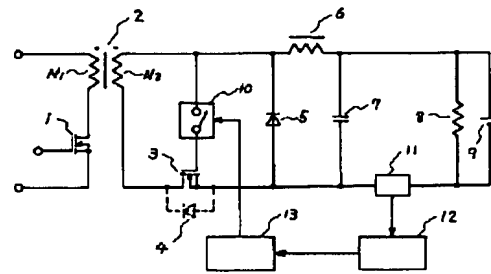
【符号の説明】

- | | |
|---------------------|----------------|
| 1…第1のスイッチング素子 | 2…トランス |
| 3…制御極付半導体素子 | |
| 4…制御極付半導体素子の寄生ダイオード | |
| 5…フライホイールダイオード | 6…チョークコイル |
| 7…コンデンサ | 8…負荷 |
| 9…外部接続電源 | 10…第2のスイッチング素子 |
| 11…検出回路 | 12…制御回路 |
| 13…駆動回路 | |

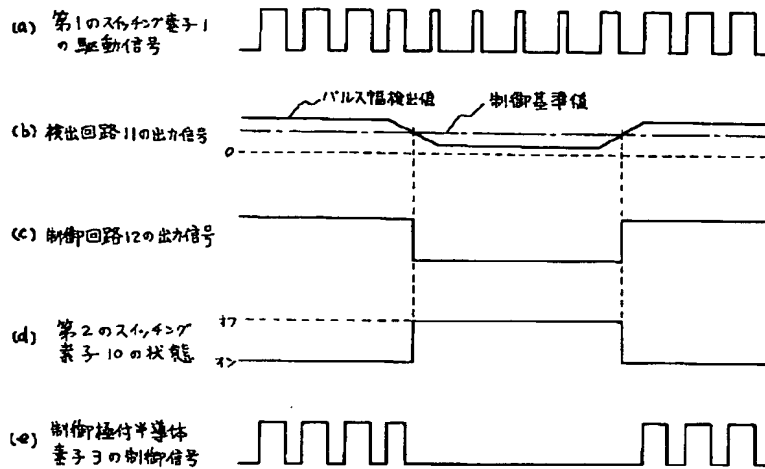
【図 1】



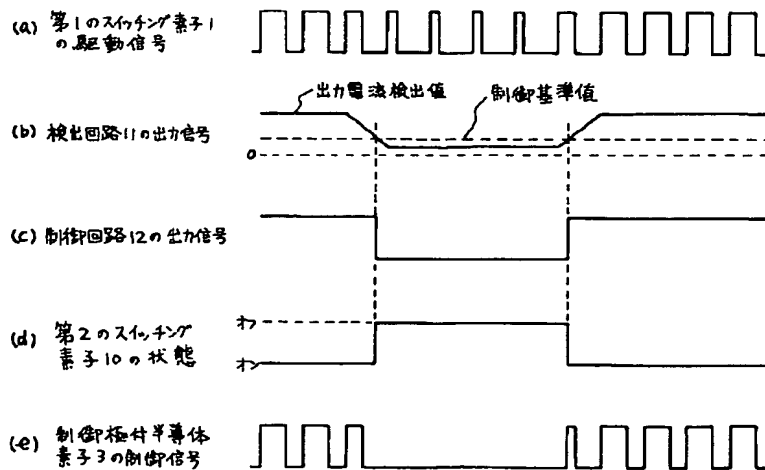
【図 3】



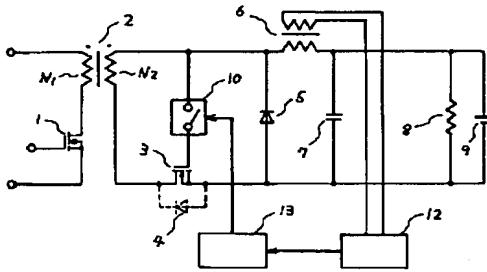
【図 2】



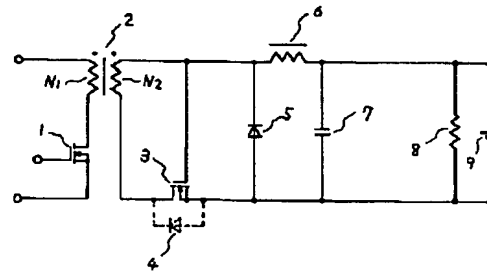
【図 4】



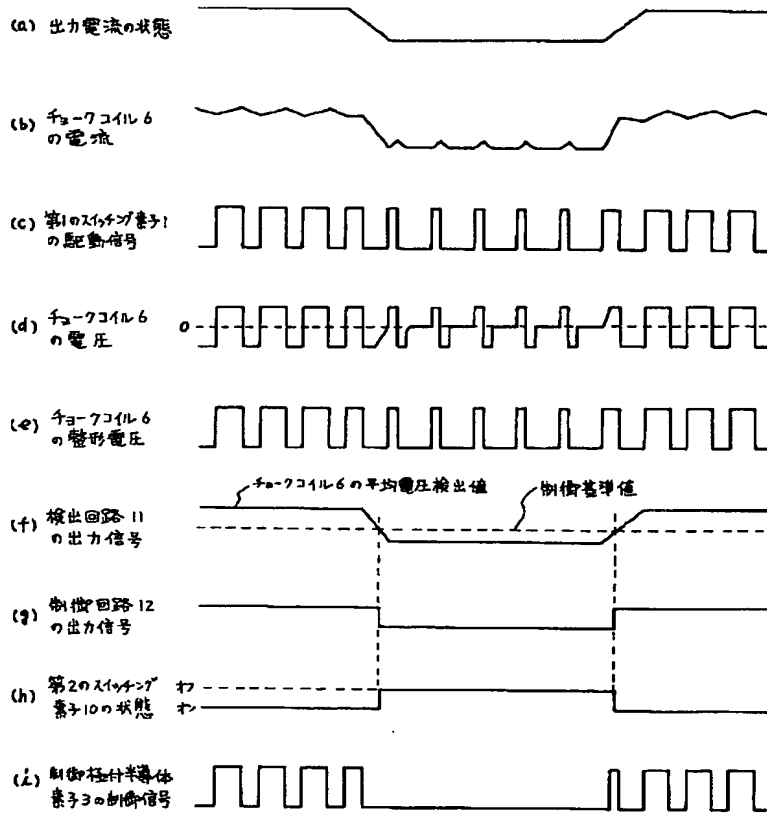
【図5】



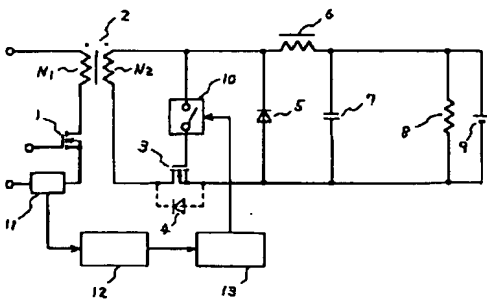
【図11】



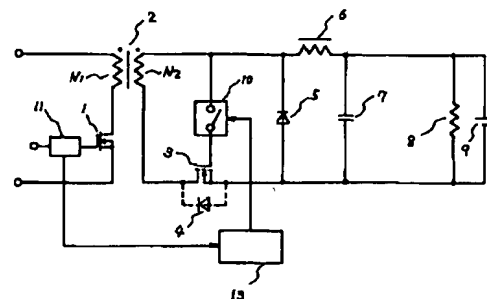
【図6】



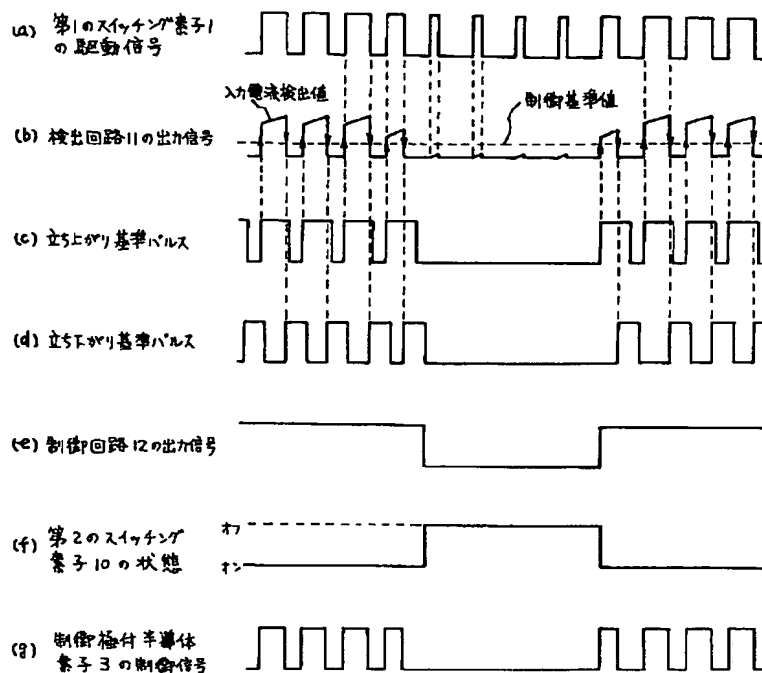
【図7】



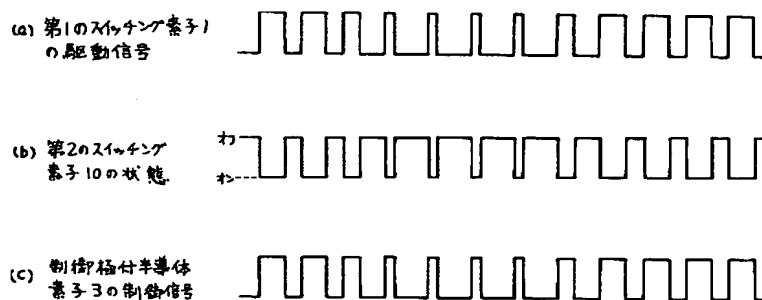
【図9】



【図8】



【図10】



フロントページの続き

(72)発明者 鈴木 義雄
東京都豊島区高田1丁目18番1号 オリジ
ン電気株式会社内

(72)発明者 村上 直樹
東京都千代田区幸町1丁目1番6号 日
本電信電話株式会社内